

PERANCANGAN OSILATOR CINCIN QUADRATUR BERBASIS PEMBAGI FREKUENSI TERKUNCI-INJEKSI

Prpto Nugroho

Jurusan Teknik Elektro dan Teknologi Informasi, Fakultas Teknik UGM
Jl. Grafika no.2, Yogyakarta, 55242
tatok@ugm.ac.id

Abstract— Osilator cincin dengan keluaran quadratur dapat dibuat dengan *Pembagi frekuensi Terkunci-injeksi (Injection Locked Frequency Divider)*. Dalam paper ini sebuah rangkaian osilator quadratur telah berhasil dirancang dalam teknologi 180nm dengan menggunakan topologi pembagi frekuensi injeksi terkunci. Hasil simulasi menunjukkan bahwa rangkaian pembagi tegangan dapat beresilasi dengan frekuensi sebesar 3,46 GHz dengan FoM sebesar -159,7 dBc/Hz.

Abstract— Ring oscillator with quadrature output can be made with an *Injection Locked Frequency Divider*. In this paper a quadrature oscillator circuit has been successfully designed in 180nm technology using an injection locked frequency divider topology. Simulation result shows that the voltage divider circuit can have running frequency of 3.46 GHz with FoM as big as -159,7 dBc/Hz.

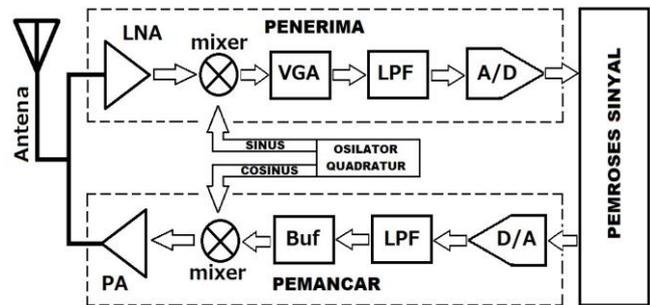
Keywords-component; ILFD, osilator Quadatur

I. PENGANTAR

Rangkaian pembangkit sinyal atau gelombang quadratur (dua gelombang dengan beda fase 180°) sangat diperlukan khususnya untuk perangkat telekomunikasi seperti terlihat pada Gambar 1, dimana gelombang quadratur digunakan untuk memodulasi sinyal input di pemancar dan sebagai gelombang untuk memodulasi atau mengembalikan sinyal informasi di penerima.

Untuk membangkitkan gelombang quadratur ada beberapa cara yang sudah pernah dilakukan peneliti sebelumnya, diantaranya dengan menggunakan teknik pembagi frekuensi, *coupled inverter*, *interpolating phase*, dan *interpolating inverter* [1]. Selain itu ada juga teknik *sub-feedback* atau *feed forward* yang dapat menghasilkan keluaran dengan banyak fase (*multi-phase*) [2], dimana untuk quadratur cukup empat buah fase. Teknik ini selain dapat menghasilkan banyak fase, juga meningkatkan frekuensi keluaran hingga dapat menghasilkan frekuensi yang lebih tinggi.

Pembagi frekuensi sendiri merupakan blok penting dalam banyak rangkaian gelombang mikro dan frekuensi radio sebagai bagian dari rangkaian *Phase Locked Loop* (PLL). Pembagi frekuensi adalah salah satu blok pada PLL yang mengonsumsi lebih banyak daya dibanding blok lainnya, karena itu penelitian tentang rangkaian PLL maupun pembagi frekuensi banyak berfokus pada masalah untuk mendapatkan daya terendah bagi blok ini. Pembagi frekuensi dengan keluaran quadratur diperlukan dalam penerima IF serta pada pembagi modulus ganda.

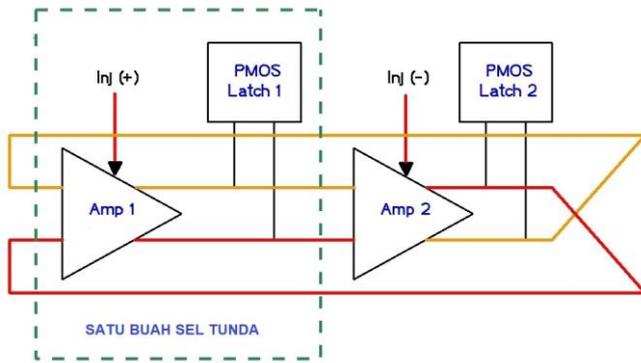


Gambar 1. Arsitektur ILFD.

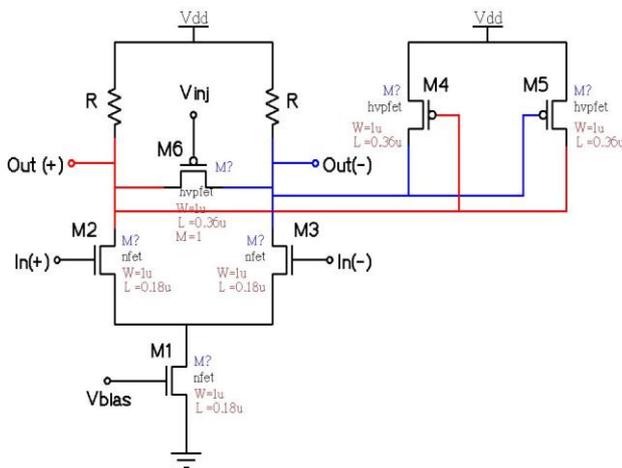
Tantangan utama dalam perancangan pembagi frekuensi, yang banyak digunakan sebagai frekuensi *synthesizer* atau osilator keluaran quadratur, adalah merancang pembagi frekuensi yang dapat beroperasi pada frekuensi tinggi, memiliki konsumsi daya yang rendah dan ukuran chip yang kecil. Ada tiga besar topologi yang umum digunakan untuk merancang pembagi frekuensi, yaitu: topologi statis, topologi dinamis, dan topologi yang terkunci-injeksi. Pembagi frekuensi statis menggunakan flip-flop sebagai komponen utamanya, sehingga kadang-kadang disebut juga sebagai pembagi frekuensi berbasis flip-flop, sementara nama pembagi frekuensi dinamik diberikan pada topologi yang bekerja berdasarkan karya miller pada modulasi regeneratif [3]. Teknik penguncian injeksi akhir-akhir ini banyak dipilih karena konsumsi daya dan derau fase yang rendah. Teknik ini yang kemudian dikenal dengan nama *Injection Locked Frequency Divider* (ILFD).

Rangkaian ILFD umumnya dibangun dengan menggunakan topologi osilator cincin (tanpa induktor) atau osilator LC (induktor dan kapasitor). Rangkaian ILFD berbasis Osilator LC dipilih karena dapat dengan mudah beroperasi pada frekuensi tinggi [4-5]. Namun, Osilator LC memiliki kelemahan pada kisaran atau jarak penguncian yang kecil dan memiliki ukuran yang lebih besar ketika diimplementasikan menjadi sebuah chip, dibandingkan dengan Osilator Cincin. Salah satu keuntungan dari Osilator Cincin adalah tidak menggunakan induktor [1].

Berdasarkan alasan yang dijelaskan di atas, pembagi frekuensi terkunci-injeksi berbasis Osilator Cincin menjadi lebih menarik, karena dapat beroperasi pada frekuensi tinggi, memiliki konsumsi daya yang lebih rendah, memiliki jangkauan penguncian yang lebih luas, dan memiliki ukuran yang kompak dan lebih kecil.



Gambar 2. Arsitektur ILFD.



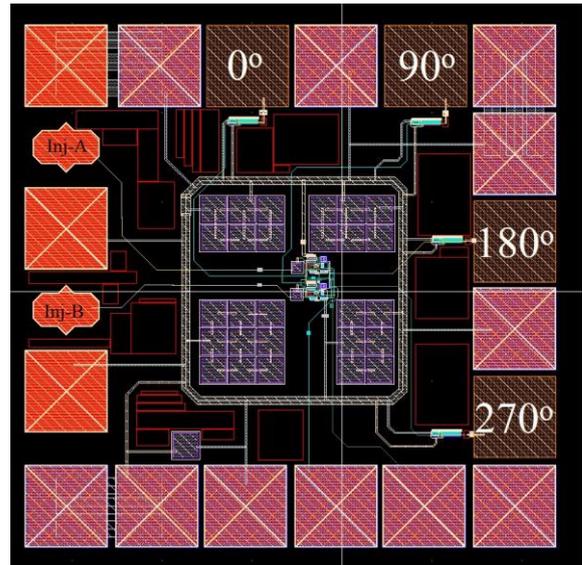
Gambar 3. Arsitektur sebuah sel tunda pada ILFD.

Rangkaian pembagi frekuensi terkunci injeksi (ILFD) dapat diklasifikasikan berdasarkan sinyal inputnya menjadi tiga kategori utama; first-harmonic ($f_i = f_o$), sub-harmonic ($N \cdot f_i = f_o$) dan super-harmonic ($f_i = N \cdot f_o$). Namun begitu, rangkaian pembagi frekuensi dapat membangkitkan gelombang sendiri walaupun tanpa input (*running frequency*). Jadi selain dapat digunakan sebagai pembagi frekuensi yang membagi frekuensi gelombang atau sinyal input, ILFD dapat digunakan sebagai pembangkit frekuensi atau osilator, hal ini dikarenakan ILFD yang digunakan berbasis rangkaian osilator yang dapat menghasilkan gelombang seperti sudah dijelaskan pada paragraf sebelumnya.

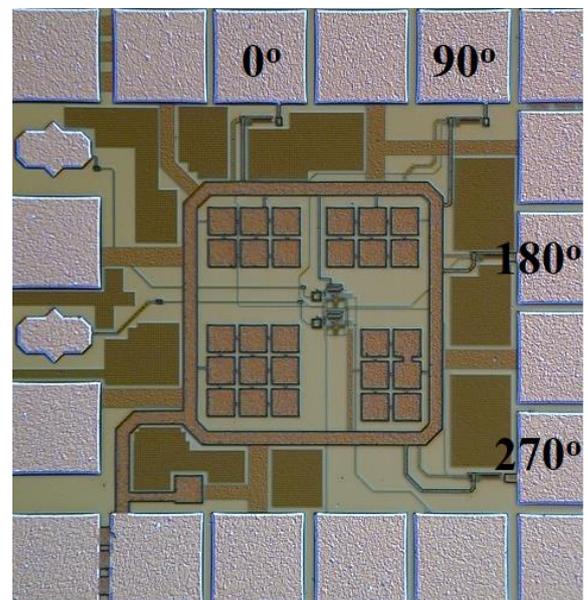
Makalah ini menjelaskan perancangan osilator dengan rangkaian penguncian injeksi berbasis topologi cincin untuk menghasilkan gelombang keluaran quadratur.

II. RANGKAIAN OSILATOR CINCIN ILFD

Gambar 2 menunjukkan arsitektur pembagi frekuensi yang diusulkan. Ini adalah osilator cincin yang terdiri dari dua tahap agar dapat membangkitkan frekuensi tinggi, dimana tiap tahap terdiri dari satu rangkaian sel tunda sehingga total terdiri dari dua sel tunda. Rangkaian sel tunda terlihat mirip dengan rangkaian SCL (*Source*



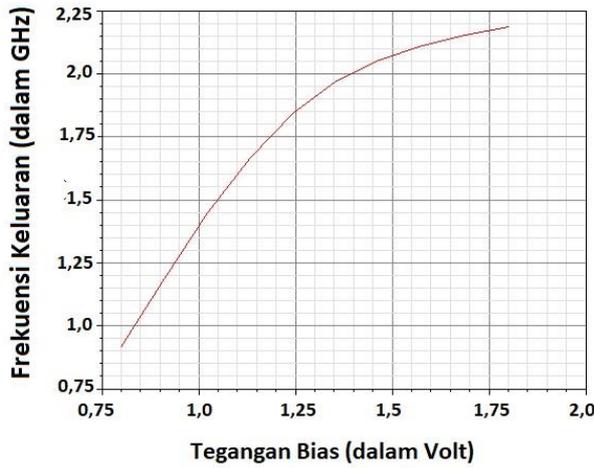
Gambar 4. Layout Osilator ILFD



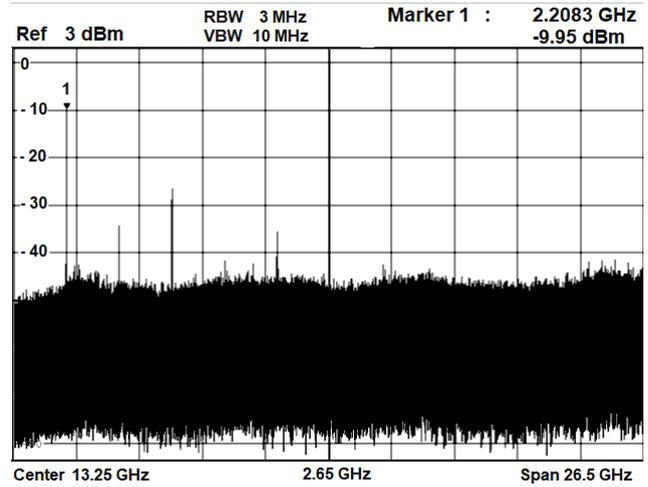
Gambar 5. Foto chip Osilator ILFD yang diperbesar.

Coupled Logic), tetapi rangkaian ini tidak menggunakan *cross coupled pair* NMOS, tetapi diganti dengan PMOS. Dua penguat diferensial terhubung dalam topologi cincin dengan sambungan terpuntir di satu sisi untuk membuat pergeseran fase total sebesar 360°, agar rangkaian dapat beresilasi. Rangkaian ini akan berfungsi sebagai Osilator Cincin Quadratur ketika tidak ada sinyal masukan.

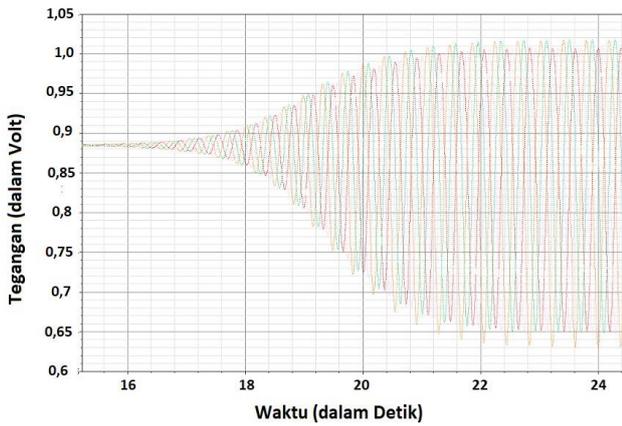
Sel tunda dapat direalisasikan menggunakan topologi penguat tunggal atau penguat diferensial. Topologi diferensial memiliki keunggulan yaitu lebih tahan terhadap derau. Catu daya yang rendah dimaksudkan untuk menekan derau fase, agar mendapatkan presisi yang lebih baik dan pergeseran fasa yang lebih akurat serta kecepatan operasi yang lebih tinggi. Karena itu sel tunda dirancang agar dapat beroperasi dengan catu daya rendah dan menggunakan topologi diferensial.



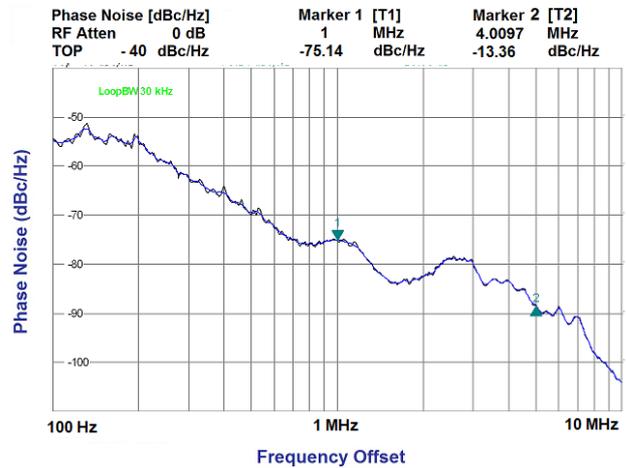
Gambar 6. Grafik penalaan frekuensi ILFD.



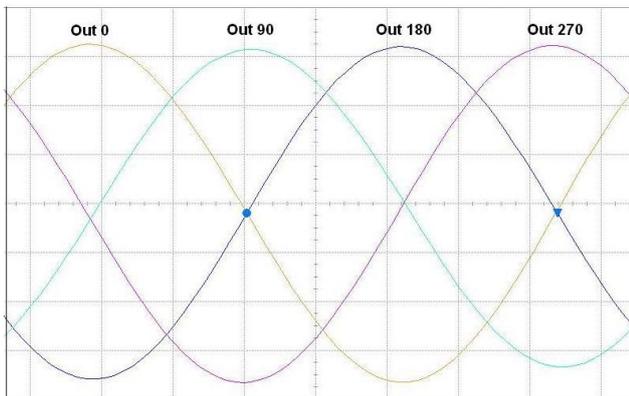
Gambar 9. Spektrum frekuensi gelombang keluaran.



Gambar 7. Gelombang keluaran.



Gambar 10. Derau fase.



Gambar 8. Gelombang quadratur.

Setiap sel penundaan dalam rancangan yang diusulkan terdiri dari rangkaian penguat diferensial dengan beban resistor dan beban cross-coupled PMOS seperti yang ditunjukkan pada Gambar 3. Beban *Cross-coupled* dilaporkan memiliki derau fase yang lebih kecil dibandingkan dengan beban simetris atau *clamped load* [6], sedangkan beban linier diharapkan untuk mengurangi pasokan derau catu [7]. M2, M3 dan R membentuk Osilator Diferensial sementara M4 dan M5 bertindak sebagai beban

PMOS. Jumlah arus yang melewati rangkaian dapat dikendalikan dengan menyesuaikan tegangan *gate* dari transistor M1. Pada teknik injeksi ekor, sinyal masukan disuntikkan melalui *gate* M1, tetapi dalam teknik injeksi langsung, sinyal masukan disuntikkan melalui *gate* M6. Teknik injeksi langsung digunakan untuk mendapatkan jangkauan penguncian yang lebih luas daripada teknik injeksi ekor yang memiliki kapasitansi masukan besar dan rentang penguncian masukan kecil. Injeksi ekor memerlukan ukuran M1 yang lebih lebar untuk menyediakan arus DC yang lebih besar dan transkonduktansi masukan yang lebih tinggi yang menyebabkan kapasitansi masukan yang besar. Kapasitansi masukan yang besar menyebabkan penyusutan rentang penguncian input.

III. HASIL DAN PEMBAHASAN

Osilator Cincin dengan gelombang keluaran quadratur berbasis *Injection Locked Frequency Divider* (ILFD) telah dirancang, di-*layout* dan difabrikasi menggunakan teknologi CMOS 180 nm. Gambar 4 menunjukkan foto *layout* rangkaian, sedangkan Gambar 5 menunjukkan foto chip setelah difabrikasi.

Table I. Perbandingan Simulasi Vs Eksperimen

	Frekuensi Keluaran [GHz]	Derau Fase [dBc/Hz]	FoM [dBc/Hz]
Simulasi Pre-Layout	3,46	-106,5	-157,33
Simulasi Post-Layout	2,4	-109,8	-150,7
Eksperimen	2,2	-88,5	-137,3

Table II. Perbandingan Unjuk Kerja Dibanding Penelitian Sejenis.

No. Ref	Frekuensi Keluaran [GHz]	Derau Fase [dBc/Hz]	Frequency Offset [Hz]	FoM [dBc/Hz]
[7]	2	-75	1 MHz	-140,2
[8]	2,2	-106	2 MHz	-146,8
[9]	2,2	-94	1 MHz	-150,3
Paper Ini	3,46	-106,5	4 MHz	-159,7

Gambar 6 menampilkan penalaan frekuensi dengan frekuensi terendah sebesar 900 MHz pada tegangan panjar (*bias voltage*) sekitar 0,8 Volt, sedangkan frekuensi tertinggi yaitu 2,2 GHz dicapai pada tegangan panjar sekitar 1,8 Volt. Jika tegangan panjar diperbesar maka frekuensi akan bertambah, karena arus ekor yang merupakan arus drain dari transistor ekor (*tail transistor*) juga bertambah, namun untuk penalaan ini hanya diambil hasil tegangan panjar dari 0,8 Volt sampai dengan 1,8 Volt saja, karena pada rentang tersebut sinyal atau gelombang keluarannya paling bagus.

Gelombang keluaran (*waveform*) rangkaian ini, dapat dilihat pada Gambar 7. Gelombang keluaran terlihat mencapai keadaan tunak (*steady state*) pada sekitar detik ke 22. Setelah mencapai keadaan tunak, jika diperbesar maka gelombang keluaran akan terlihat seperti Gambar 8, yaitu empat buah gelombang keluaran yang masing-masing mempunyai selisih fase sebesar 90° (Quadratur).

Gambar 9 adalah gambar spektrum frekuensi dari gelombang keluaran. Daya keluaran terukur sebesar -9.95 dBm pada frekuensi 2,2 GHz. Sedangkan Gambar 10 menunjukkan derau fase dengan hasil pengukuran sebesar -75.14 dBc/Hz pada frekuensi *offset* 1 MHz, dan -88.5 dBc/Hz pada frekuensi *offset* 4 MHz.

Table I menunjukkan perbandingan unjuk kerja (*figure of merit* (FoM)) antara simulasi sebelum rangkaian di-layout (*pre-layout*), setelah rangkaian di layout (*post-layout*) dan eksperimen setelah rangkaian di fabrikasi. Data

menunjukkan terjadi penurunan unjuk kerja pada eksperimen, hal ini kemungkinan disebabkan karena masalah pada fabrikasi yang tidak dapat mewujudkan chip yang sesuai dengan perancangan pada level simulasi. Hal ini sering terjadi karena banyak faktor yang tidak diperhitungkan pada level simulasi namun terjadi pada fabrikasi.

Jika dibandingkan dengan unjuk kerja rancangan osilator dari penelitian sejenis seperti ditampilkan pada Tabel II, maka unjuk kerja rangkaian osilator berbasis ILFD yang diajukan lebih bagus pada level simulasi sebelum di-layout dibandingkan dengan rancangan-rancangan sejenis yang sudah dipublikasikan sebelumnya, yaitu sebesar -159,7 dBc/Hz.

IV. KESIMPULAN

Osilator cincin berbasis ILFD berhasil dirancang dan difabrikasi dengan teknologi CMOS 180 nm. Hasil simulasi menunjukkan rangkaian yang diajukan memiliki unjuk kerja paling bagus dibandingkan penelitian sejenis dengan frekuensi osilasi sebesar 3,46 GHz dan FoM sebesar -159,7 dBc/Hz. Meskipun hasil eksperimen tidak sebagus hasil simulasi.

Daftar Pustaka

- [1] Prapto Nugroho, "Perancangan DCO 8 Bit Derau Fase Rendah Untuk Sistem Komunikasi Nir Kabel," *Conference on Information Technology and Electrical Engineering (CITEE)*, pp. 295-298, September 2015.
- [2] L. Sun and T. A. Kwasnieski, "A 1.25-GHz 0.35- μ m monolithic CMOS PLL based on a multiphase ring oscillator," *IEEE Journal of Solid-state Circuits*, Vol. 36, No. 6, pp. 910-916, June 2001.
- [3] G.V.Buren, et. al., "A Combine Dynamics and Static Frequency Divider for 40GHz PLL in 80nm CMOS", in *IEEE Solid States Circuits Conference (ISSCC)*, pp.2462-2471, Sept. 2006.
- [4] H.R. Rategh and T.H.Lee, "Superharmonic injection-locked frequency divider," *IEEE Journal of Solid-state Circuits*, vol.34, no.6, pp.813-821, Jun 1999.
- [5] Y.-H. Chuang, S.-H. Lee, S.-L. Jang, J.-J. Chao and M.-H. Juang, "A Ring-Oscillator-Based Wide Locking Range Frequency Divider", *IEEE Microwave and Wireless Component Letters*, Vol.16, No.8, August 2006.
- [6] R. J. B. Zamora, T. H. Leea, "CMOS VCOs for Frequency Synthesis in Wireless Biotelemetry", *Proceeding Of International Symposium on Low Power Electronics and Design*, pp. 91-93, August 1998.
- [7] J. Maneatis and M. Horowitz. "Precise delay generation using coupled oscillators", *IEEE JSSC*, 28 December 1993.
- [8] B. Razavi, "A 2-GHz 1.6-mW Phase-Locked Loop," *IEEE Journal of Solid-State Circuits*, vol.32, pp.730-735, 1997.
- [9] J. D. Van Der Tang and D. Kasperkovitz, "A 0.9-2.2 GHz monolithic quadrature mixer oscillator for direct conversion satellite receivers," *Digest of Technical Papers of ISSCC*, San Francisco, pp. 88-89, 1997.
- [10] B. Razavi, "A study of phase noise in CMOS oscillators," *IEEE Journal of Solid-State Circuits*, vol.31: pp.331-343, 1996.